

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Requested Patent: JP2002324842A
Title: SEMICONDUCTOR PROTECTION CIRCUIT ;
Abstracted Patent: JP2002324842 ;
Publication Date: 2002-11-08 ;
Inventor(s): KOIZUMI HIROSHI; KOMINE YUKIO ;
Applicant(s): NIPPON TELEGR _TELEPH CORP ;
Application Number: JP20010127058 20010425 ;
Priority Number(s): ;
IPC Classification: H01L21/822; H01L27/04; H01L29/786 ;
Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the ESD resistance of a protection NMOS element.**SOLUTION:** In a semiconductor protection circuit having NMOS elements 4, 5 as protection elements for protecting an SOI semiconductor circuit from ESD and EOS, when stress due to ESD and EOS is applied, a PMOS element 6 is conducted, straight polarity voltage is applied on a semiconductor substrate, the threshold voltage of the NMOS elements 4, 5 is lowered by substrate bias effect, and the trigger voltage V_{t1} of a snap-back characteristic is lowered.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-324842

(P2002-324842A)

(43)公開日 平成14年11月8日(2002.11.8)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L	21/822	H 0 1 L	27/04
	27/04		G
	29/786	29/78	6 2 3 A

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21)出願番号 特願2001-127058(P2001-127058)

(22)出願日 平成13年4月25日(2001.4.25)

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72)発明者 小泉 弘

東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内

(72)発明者 小峰 行雄

東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内

(74)代理人 100083194

弁理士 長尾 常明

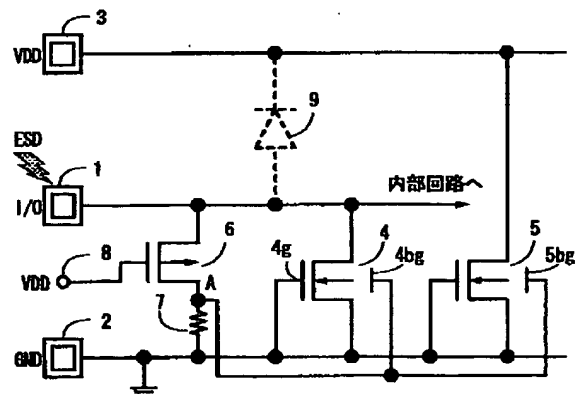
最終頁に続く

(54)【発明の名称】 半導体保護回路

(57)【要約】

【課題】 保護NMOS素子のESD耐性を向上すること。

【解決手段】 SOI半導体回路をESDやEOSから保護するための保護素子としてNMOS素子4, 5を有する半導体保護回路において、ESDやEOSによるストレスが印加されるときにPMOS素子6を導通させて、半導体基板に正極性電圧を印加し、基板バイアス効果によりNMOS素子4, 5の閾値電圧を低下させ、スナップバック特性のトリガ電圧 V_{th1} を低下させる。



【特許請求の範囲】

【請求項1】SOI半導体回路を静電気放電および電氣的過剰ストレスから保護するための保護素子としてNMOS素子を有する半導体保護回路において、前記静電気放電又は電氣的過剰ストレスが印加される過程で半導体基板に正極性電圧を印加する基板バイアス印加手段を設けたことを特徴とする半導体保護回路。

【請求項2】請求項1において、前記基板バイアス印加手段は、ソース端子が保護すべき入出力端子に接続され、ゲート端子が前記SOI半導体回路内の電源端子に接続され、ドレイン端子が前記SOI半導体回路の基板に接続されるPMOS素子からなることを特徴とする半導体保護回路。

【請求項3】請求項1において、前記基板バイアス印加手段は、高電位電源端子が保護すべき入出力端子に接続され、入力端子が前記SOI半導体回路内の電源端子に接続され、出力端子が前記SOI半導体回路の基板に接続され、低電位電源端子が接地端子に接続されるCMOSインバータからなることを特徴とする半導体保護回路。

【請求項4】請求項2において、前記PMOS素子のドレイン端子と接地端子との間に第1の抵抗を接続したことを特徴とする半導体保護回路。

【請求項5】請求項3において、前記低電位電源端子と前記接地端子との間に第2の抵抗を接続したことを特徴とする半導体保護回路。

【請求項6】請求項2又は4において、前記PMOS素子をキャパシタに置換したことを特徴とする半導体保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SOI半導体回路を静電気放電(ESD: electrostatic discharge)および電氣的過剰ストレス(EOS: electrical over stress)から保護するための保護素子としてNMOS素子を有する半導体保護回路に関するものである。

【0002】

【従来の技術】従来の代表的なCMOS(Complementary Metal Oxide Semiconductor)保護回路の概略図を図7に示す。ここでは保護素子としてNMOSTランジスタを用いた場合を例示した。静電ストレスから保護しようとする入出力端子(I/O)1に対し、この入出力端子1と接地端子(GND)2との間にNMOSTランジスタ4を保護素子として接続する。また、電圧供給端子(VDD)3と接地端子3との間にもNMOSTランジスタ5を保護素子として接続する。

【0003】図7において、接地端子2を基準に正極性電圧のESDストレスが入出力端子1に印加されたとする。このとき働く保護素子はNMOSTランジスタ4であるから、この場合は電流の流れない逆方向のバイアス

となる。しかし、入出力端子1にかかる電圧が高くなり、NMOSTランジスタ4のドレイン端子にかかる電界がある量を超えると、NMOSTランジスタ4はアバランシェ降伏を起こす。これに引き続き、NMOSTランジスタ4は寄生的なnpn型パイボートランジスタの動作をはじめ、大電流を通电する。この一連の動作は一般にスナップバック動作と呼ばれ(図8)、この特性により、LSI内部回路にかかる電圧、すなわち入出力端子1の電圧が高くなってしまいう前に、大電流がNMOSTランジスタ4を流れ、入出力回路も含めたLSIの内部回路の保護が実現される。

【0004】この特性はバルクデバイスにおいてもSOI(Silicon on Insulator)デバイスにおいても基本的に同様である。図8におけるトリガ電圧 V_{t1} 、第2スナップバック点の電圧 V_{t2} 、電流 I_{t2} 、オン抵抗 R_{on} などがNMOSTランジスタの保護能力を決定する主要なパラメータとなる。

【0005】ここで、図8に示したスナップバック特性をもう少し詳しく説明する。ドレイン電圧 V_{ds} が増加するとアバランシェ降伏が起こり、トリガー電圧 V_{t1} でNMOSTランジスタの寄生npnパイボートランジスタがターン・オンし、オン抵抗 R_{on} で大電流が流れる。この領域では、NMOSTランジスタは故障せず、ドレイン電圧はこの電流を流すために必要な、ほぼ一定の電圧で固定(クランプ)される。これが、NMOSTランジスタのスナップバック動作によるESD保護の原理である。さらに電流がNMOSTランジスタに流れると、第2スナップバック点(V_{t2} 、 I_{t2})に達し、デバイスは熱暴走して破壊に至る。この点は熱暴走点とも呼ばれ、 V_{t2} の値が内部回路にダメージを与えない範囲で電流 I_{t2} の値が大きいほど、優れた保護能力をもったデバイスであるといえる。

【0006】以上のようにして、図7の回路では、接地端子2を基準に正極性のESDストレスが入出力端子1に印加された場合は、その入出力端子1と接地端子2との間に接続されたNMOSTランジスタ4のスナップバック動作による電圧クランプによって内部回路が保護される。電源端子3を基準に正極性のESDストレスが入出力端子1に印加された場合は、NMOSTランジスタ4のスナップバック動作に、電源端子3と接地端子2との間に接続されたNMOSTランジスタ5の順方向保護機能が加わる。電源端子3を基準に負極性のサージが入出力端子1に印加された場合は、NMOSTランジスタ5のスナップバック動作と、NMOSTランジスタ4の順方向保護動作により内部回路が保護される。

【0007】このように、内部回路すべてが共有する電圧端子3もしくは接地端子2が存在する場合であれば、LSIに搭載されているいかなる外部端子間にも静電ストレスが印加されても、静電放電は必ず1つ以上の保護素子(4、5等)を介して流れるため、端子の保護が可能

である。

【0008】ところで、近年のLSIにおいては、MOSトランジスタのソースやドレイン抵抗を減少させるため、サリサイドプロセスによるソースやドレインのシリサイド化、あるいはCVD (Chemical Vapor Deposition) によるメタル化 (以下、これらの技術を「低抵抗化」と呼ぶ。) が多く用いられている。

【0009】ところが、ソースやドレインの低抵抗化は、バイポーラ動作における有効エミッタ深さを減少させたり、保護NMOSトランジスタにおけるESD電流の局部集中をもたらすため、ESD耐性の悪化を招く要因となる。このため、保護NMOSトランジスタのゲート近傍のソース、ドレイン領域においては、低抵抗化を抑制するプロセスを適用するのが一般的である。これはサリサイド制限工程 (blocking process) とよばれ、その際にはサリサイド化を避ける領域をサリサイド制限マスクでマスクすることが行われる。

【0010】図9はサリサイドプロセスにおけるSOI-NMOSの断面を模式的に説明するための図であり、(a)はサリサイド制限なしの場合、(b)はサリサイド制限有りの場合を示す。図9において、21はゲート、22はソース、23はドレイン、24はボディ、25はシリサイド層、26は埋込酸化膜、27はゲート酸化膜、28はシリコン基板、29はゲート側壁酸化膜、30はサリサイド制限マスク、31はサリサイド制限幅である。

【0011】SOI素子は埋込酸化膜26でアクティブシリコン層であるソース22、ドレイン23、およびボディ24がシリコン基板28から電気的に絶縁されている。また、ボディ24が完全に空乏化しているFD (Fully Depleted: 完全空乏型) -SOI素子の場合、シリコン基板28に電圧を与えることで、部分空乏型SOI-MOSに比べ、容易に埋込酸化膜26とボディ24の界面が反転する。したがって、基板バイアス効果は部分空乏型SOI-MOSでも効果的であるが、FD-SOI素子においては特に顕著となる。

【0012】

【発明が解決しようとする課題】従来の半導体保護回路の問題点について図7～図9を用いて述べる。CMOS・LSIにおけるESD保護回路においては、NMOSトランジスタが優れた保護特性を有するため、図7に示したように、ゲートを接地したNMOS (GGNMOS) トランジスタ4、5がしばしば保護回路として用いられる。GGNMOSTランジスタの保護特性は、図8に示したように、スナップバック特性で評価されることが多い。

【0013】この特性において、 V_{t1} が大きすぎると、保護回路が有効に動作する前に内部回路に高い電圧が印加されるため、好ましくない。また、 I_{t2} が小さすぎると、十分なESD電流が保護回路を流れる前に保護回路自身が破壊されてしまうため、好ましくない。 R_{on} が大

きすぎると、ESD電流量の増加に伴って入出力端子1の電圧も増加してしまうため、十分なESD電流が保護回路を流れる前に内部回路にかかる電圧が増加し、内部回路の破壊を招くため好ましくない。また、保護用のNMOSTランジスタ4、5は、ゲート幅数十 μm のトランジスタを複数本並列接続した櫛状構造で構成するのが一般的であり (マルチフィンガー構造と呼ばれ、1本1本のトランジスタはフィンガーと呼ばれる。)、 V_{t2} よりも V_{t1} のほうが大きすぎる場合、特定のフィンガーだけがスナップバック動作しやすくなり、ESD耐性の低下を招く。したがって、 V_{t1} はできるだけ小さく、 I_{t2} はできるだけ大きく、 R_{on} はできるだけ小さく、 $V_{t1} < V_{t2}$ という関係になることが望ましい。

【0014】SOIデバイス、とりわけ、ボディが完全に空乏化しているFD-SOI素子では、寄生バイポーラ効果により、バルクデバイスに比べて V_{t1} が小さいものの、シリコン活性層が薄いのに加え、埋込酸化膜が断熱材の働きをするため、 I_{t2} は小さく、ESD耐量は同じサイズのバルクデバイスに比べて小さくなる。さらに、サリサイド技術などによるソースやドレインの低抵抗化により、 R_{on} は小さくなったが、特定のフィンガーのみがスナップバック動作しやすく、さらに、フィンガー内の特定箇所にESD電流が局部集中しやすくなるなど、結果的にサリサイドプロセスはESD耐性を低下せしめるため、低抵抗化プロセスを用いたSOIデバイスのESD耐性は極めて低い。このため、図9の(b)に示したように低抵抗化制限工程 (サリサイド制限工程) が必須となっている。

【0015】しかし、低抵抗化制限技術は追加のマスクと工程が必要となるため、デジタル回路ではコスト増加の要因となっている。また、出力バッファも保護素子として働く場合が多いが、高速入出力のバッファについて低抵抗化制限工程を用いることは回路特性上好ましくない。このように、低抵抗化制限工程を用いずに、ESD耐性を確保することが課題となっている。

【0016】そこで、低抵抗化制限工程を用いないSOIデバイスにおけるESD保護の問題点を克服するため、たとえばESDストレス電圧を保護トランジスタのボディとゲートに印加して、DTMOS (Dynamic Threshold MOS) として保護回路を動作させ、フィンガーのスナップバック動作を均一化してESD耐性を増加する方法や、ESDストレス電圧を抵抗と容量を介して保護用NMOSTランジスタのゲートに印加して、DTMOSと同様にフィンガーのスナップバックを均一にする手法 (GCNMOS: Gate Coupled NMOS) や、保護用NMOSTランジスタのドレイン側に低抵抗化制限工程を用いないで作成できる抵抗体を配置する方法などが提案されている。

【0017】これらの方法は、前者2つが保護用NMOSTランジスタのスナップバック特性を改善する手法で

あり、後者は低抵抗化制限工程を用いずに必要なドレイン抵抗を与えることでESD電流の局部集中を回避する手法であるといえる。

【0018】しかし、DTMOS接続は部分空乏型のSOIデバイスには有効であるが、FD-SOIデバイスでは効果が乏しい。また、GCNMOSでは、入出力端子の寄生容量が大きくなり、入出力の高速動作に問題が残る。一方、ドレインに抵抗を与える手法では、ESD電流の均質化が図れるものの、低抵抗化プロセスによって得た低い R_{on} の恩恵を排除する結果となってしまう、また、保護回路面積の増加の原因となる。

【0019】このように、FD-SOIにおける低抵抗化制限工程を用いないSOIデバイスに適した安価なESD保護回路特性向上技術は従来では無かった。なお、以下では低抵抗化制限工程を用いないSOIデバイスを完全被覆SOIデバイスと呼ぶこともある。

【0020】本発明の目的は、端子へのESDストレスの印加により適切な電圧をSOIデバイスのシリコン基板に印加する手段を具備させることで、保護NMOS素子のスナップバック特性を改善し、完全被覆SOIデバイスにおいても高いESD耐量が獲得できるようにした半導体保護回路を提供することである。

【0021】

【課題を解決するための手段】上記課題を解決するために請求項1の発明は、SOI半導体回路を静電気放電および電氣的過剰ストレスから保護するための保護素子としてNMOS素子を有する半導体保護回路において、前記静電気放電又は電氣的過剰ストレスが印加される過程で半導体基板に正極性電圧を印加する基板バイアス印加手段を設けたことを特徴とする半導体保護回路とした。

【0022】請求項2の発明は、請求項1の発明において、前記基板バイアス印加手段は、ソース端子が保護すべき入出力端子に接続され、ゲート端子が前記SOI半導体回路内の電源端子に接続され、ドレイン端子が前記SOI半導体回路の基板に接続されるPMOS素子からなることを特徴とする半導体保護回路とした。

【0023】請求項3の発明は、請求項1の発明において、前記基板バイアス印加手段は、高電位電源端子が保護すべき入出力端子に接続され、入力端子が前記SOI半導体回路内の電源端子に接続され、出力端子が前記SOI半導体回路の基板に接続され、低電位電源端子が接地端子に接続されるCMOSインバータからなることを特徴とする半導体保護回路とした。

【0024】請求項4の発明は、請求項2の発明において、前記PMOS素子のドレイン端子と接地端子との間に第1の抵抗を接続したことを特徴とする半導体保護回路とした。

【0025】請求項5の発明は、請求項3の発明において、前記低電位電源端子と前記接地端子との間に第2の抵抗を接続したことを特徴とする半導体保護回路とし

た。

【0026】請求項6の発明は、請求項2又は4の発明において、前記PMOS素子をキャパシタに置換したことを特徴とする半導体保護回路とした。

【0027】

【発明の実施の形態】本発明の半導体保護回路は、ESDストレス電圧を基板電圧印加手段を介してシリコン基板、すなわち、LSIチップの裏面に伝え、これによる基板バイアス効果（バックゲート効果）によって保護NMOS素子の閾値電圧を低下せしめ、スナップバック特性の V_{th} を低下させるものである。この基板バイアス効果は、部分空乏化SOIデバイスでも有効であるが、FD-SOIデバイスではボディが完全に空乏化しているため特に顕著に働く。ESDストレスの印加と連動して、ゲート電極やボディに電圧を供給する技術は存在したが、シリコン基板に電圧を印加する点が従来と異なり、基板バイアス効果でESD耐性を改善する点が従来技術と異なる。

【0028】[第1の実施の形態] 図1を用いて本発明の第1の実施形態を説明する。この図1は、基板バイアス印加手段を具備したSOIデバイスの半導体保護回路を示す図である。図1において、1は入出力端子、2は接地端子、3は電源端子、4、5は保護NMOS素子としてのNMOSTランジスタ、6は基板バイアス印加手段としてのPMOSTランジスタ、7は抵抗である。

【0029】PMOSTランジスタ6はそのソースが入出力端子1に接続され、ゲートがLSI内部のVDD端子8に接続され、ドレインが抵抗7を介して接地端子2に接続されている。さらに、そのPMOSTランジスタ6のドレイン（A点）は保護素子としてのNMOSTランジスタ4、5のバックゲート4bg、5bg（つまり共通のシリコン基板）に接続されている。抵抗7の値は、ESDイベント中における入出力端子1の電圧により、PMOSTランジスタ6が破壊されない値が最小限必要である。なお、PMOSTランジスタ6のゲート端子は、独立したVDD端子8として外部端子とせず、環状電源線などに接続することが望ましい。

【0030】接地端子2が実際に接地されている状態で、入出力端子1に正極性のESDストレスが印加されたとする。ストレス印加の過渡過程において、VDD端子8は浮遊状態であるが、ほぼ接地レベルに等しい電位であるとみなせるため、PMOSTランジスタ6はオン状態になる。ここで、抵抗7とPMOSTランジスタ6の接続点Aの電位は、入出力端子1の電位をPMOSTランジスタ6と抵抗7で分割した値となる。抵抗7の値が充分大きければ、A点の電位は入出力端子1の電位からPMOSTランジスタ6の閾値電圧だけ降下した値にほぼ等しくなる。

【0031】このA点の電圧がSOIチップの裏面、例えばパッケージのダイに供給されるように結線すれば、

ESD保護素子であるNMOSTランジスタ4、5のバックゲートにそのA点の電圧が印加される。埋込酸化膜は通常100nm程度であり、NMOSTランジスタ4のスナップバックトリガ電圧 V_{t1} 程度の電圧(3~6V)では降伏しない。バックゲートへの電圧印加は、NMOSTランジスタ4ではそのゲート4gに弱い電圧(バックゲートの電界にほぼ相当)を印加した場合と同等の効果があり、 $I_{ds}-V_{gs}$ 特性(サブスレッショルド特性)で閾値電圧の低下が観測される。図2はこの関係を説明するための図である。 V_{sub} はバックゲート電圧であり、これが正方向に増大すると、閾値が低下する。この閾値の低下は、寄生バイポーラトランジスタがターン・オンするためのトリガ電圧 V_{t1} を低下させる。このように、バックゲートへの電圧印加はスナップバックのトリガ電圧 V_{t1} を低下させるため、マルチフィンガー構造の保護素子であるNMOSTランジスタ4、5における、フィンガーの均一なスナップバックを促進し、低抵抗化プロセスを用いたSOIデバイスの問題点を克服できる。

【0032】図3はタングステンCVDで低抵抗化した完全被覆のFD-SOIのNMOSTランジスタにおける、スナップバック特性の基板バイアスによる変化を実測した図である。測定はTLP(transmission line pulsing)法を用いた。基板バイアス V_{sub} が $V_{sub}=0V$ における特性(点線で示した)のトリガ電圧 V_{t1} に比べ、 $V_{sub}=3V$ のとき(実線で示した)のトリガ電圧 V_{t1} は約300mV低くなっており、基板バイアスの有効性を示している。

【0033】LSIには複数の入出力端子があり、それぞれに保護回路が必要である。したがって、図1のA点も複数存在する。これらの接続点をLSI配線で結線し、1箇所もしくは複数箇所の電極パッドから、パッケージのダイにボンディングすれば、すべての入出力端子で本発明の効果を共有できる。

【0034】LSIが通常動作する実使用時においては、PMOSTランジスタ6のゲート端子に電源電圧 V_{DD} が供給され、そのPMOSTランジスタ6はオフ状態となるため、基板はGND電位に固定され、NMOSTランジスタ4のオフ時のリーク電流を抑制する。また、入出力端子1の信号レベルについても、電源電圧の範囲で特に制約はない。

【0035】LSIでは、入出力端子1に備えた保護回路(NMOSTランジスタ4)の他にも前記したように電源端子3と接地端子2の間に挿入した保護回路(NMOSTランジスタ5)を具備する。ここでは、このNMOSTランジスタ5を電源線間保護回路と呼ぶ。通常、電源線は環状にLSIチップの周囲に配置され、入出力端子1の保護回路も電源線をサージパスとして用いるため、入出力端子1から流入したESD電流の一部を電源線間保護回路に分流すれば、保護素子のサイズを大きく

した場合と同等の効果を得ることができ、ESD耐量は増加する。

【0036】そこで、図1のように、例えば電源端子3と入出力端子1の間にダイオード9を備えると、接地端子2基準で入出力端子1に印加した正極性のバイアスによるESD電流の一部が、そのダイオード9とNMOSTランジスタ5に流れ込む。本発明では、すべての保護NMOSTランジスタのバックゲートに同時に正電圧が印加されるため、NMOSTランジスタ5についてもNMOSTランジスタ4と同等の効果を得ることができ、この効果は、電源線間保護回路の均一なスナップバックを促進するだけでなく、電源線間保護回路へのESD電流の迂回を促進する効果がある。この点について、従来技術では、NMOSTランジスタ5についても、前記したようなNMOSTランジスタ4と同様の対策が特に必要であった。さもなければ、NMOSTランジスタ5における特定のフィンガーが先行してスナップバック動作した場合に、このフィンガーで故障する可能性があった。

【0037】以上のように、本実施形態によれば、FD-SOIデバイスのシリコン基板に正電圧を印加することで、NMOSTランジスタの閾値電圧を低下せしめることができ、NMOSTランジスタのスナップバック動作を改善できる。これにより、特定のフィンガーにESD電流が集中してESD耐性が低下しやすい完全被覆のSOIデバイスにおいてもESD耐量を著しく改善できる。また、基板バイアス印加手段は、PMOSTランジスタを用いた簡単で小規模な回路を付加し、パッケージのダイへの接続構造を設けることで構成でき、入出力端子1の寄生容量をほとんど増加させずに実現できる。

【0038】なお、ダイオード9はPMOSTランジスタなどでも代替可能である。また、図1のダイオード9を省略しても、NMOSTランジスタ4に対する本発明の効果は変わらない。また、抵抗7はPMOSTランジスタ6の特性によっては省略することができる。さらに、PMOSTランジスタ6はこれをキャパシタに置き換えても、同様な作用効果が得られる。

【0039】〔第2の実施形態〕図4を用いて、本発明の第2の実施形態を説明する。本実施形態は、第1の実施形態で用いた抵抗7の代わりにNMOSTランジスタ10を用い、このNMOSTランジスタ10とPMOSTランジスタ6とにより、基板バイアス印加手段としてのインバータを構成したものである。このインバータの入力端子は V_{DD} 端子8に接続され、出力端子(A点)がバックゲート(シリコン基板)に接続されている。本実施形態での抵抗7'は、NMOSTランジスタ10がPMOSTランジスタ6より先行してスナップバックし、インバータに大電流が流入するのを避けるために挿入したものであるが、PMOSTランジスタ6の特性によっては省略も可能である。

【0040】本実施形態においても、インバータの入力端子がVDD端子8に接続されているため、接地端子2基準で入出力端子1に正極性のESDストレスが印加された場合、インバータの入力レベルは過渡的にLowレベルに相当し、ESD電圧が出力端子(A点)に出力される。この動作により、第1の実施形態と同様に保護NMOSTランジスタ4、5のバックゲートに正の電圧を与え、第1の実施形態と同じ理由でESD耐量を向上せしめる。

【0041】〔実験例〕図5、図6を用いて基板バイアスを与える場合と与えない場合におけるHBM (Human Body Model)-ESD耐量の違いを説明する。同一の回路における基板バイアスの効果を調べるため、第1および第2の実施形態で示したような基板バイアス印加手段を具備しない従来のLV (Low Voltage) CMOS入力回路を用いた。ESDストレスと同じ電圧をシリコン基板に与える場合は、図5に示したように、入力端子11とシリコン基板19を直接結線した。12は保護用のPMOSTランジスタ、13は保護用のNMOSTランジスタ、14、15は保護用のダイオード、16は抵抗、17はLVCMOS入力回路、18は電源線間保護回路(図1、図4のNMOSTランジスタ5に相当する。)である。LVCMOS入力回路17は0.35 μ mのFD-SOIプロセスを用い、低抵抗化プロセスとしてチタニウムシリサイドを用いた。

【0042】図6は、サリサイド制限工程を省略した完全被覆サンプル(Fully salicided)と、Fully salicidedサンプルで基板バイアスを印加した場合(Fully salicided+back bias)について、HBM-ESD試験を行った結果である。なお、本発明では、サリサイド制限をせずに必要なESD耐量を確保することを目的としているが、比較のため、図9(b)のサリサイド制限幅31が600nmのサンプル(600nm blocked)についても同じ条件で試験を実施した。

【0043】図6の棒グラフの頂点はそれぞれ、HBM-ESD試験により故障した時点のESDストレス電圧を示している。故障電圧は、各々の水準で3個のサンプルの平均値とした。ESD試験はEIAJおよびESDA規格に準拠した市販の試験装置を用い、図5の接地端子(GND)を実際に接地した状態で、入力端子11に正極性のHBM-ESDストレスを印加した。サンプルは、すべて同一のウェハからダイシングし、セラミックパッケージに封入した。

【0044】「Fully salicided」サンプルでは、平均1,570Vで故障したのに対し、サリサイドプロセスにおけるESD耐量の向上手法としては最も効果的と考えられている600nmのサリサイド制限を施した「600nm blocked」サンプルは、3,800Vと耐量が増加しており、サリサイド制限の効果が現れている。一方、同じFully salicidedサンプルでありながら、入力端子11の電圧と

同じ電圧がシリコン基板19に印加されるように結線した「Fully salicided+back bias」サンプルでは、3,150Vに増加しており、サリサイド制限を用いた保護回路に匹敵するレベルに耐性が向上している。一般に、HBM-ESD保護に必要な耐量は2,000V以上とされており、基板バイアスを印加した「Fully salicided+back bias」サンプルは、この要求を大幅にクリアしたと言える。このように、基板バイアスの印加によってESD耐性が飛躍的に向上したことは、本発明の有効性を示すものである。

【0045】この実験のように、完全被覆(Fully salicided)のFD-SOIデバイスで作成したLVCMOS入力回路において、基板バイアスを印加した場合、HBM-ESD耐量が約1,500V増加した。このことは、内部回路が低抵抗化制限工程を必要としないデジタルLSIにおいて、従来必要であったESD保護のための低抵抗化制限工程を省略することができ、製造コストの削減を実現できることを意味する。

【0046】

【発明の効果】以上説明したように本発明によれば、SOIデバイスに効果的な基板バイアス効果を利用するので、マルチフィンガー構造の完全被覆SOIの保護NMOS素子であってもスナップバック動作のフィンガー間格差を解消でき、保護NMOS素子のESD耐性を最大限に発揮せしめる効果がある。サリサイド技術やメタルCVDなどの低抵抗化プロセスは、LSIの高速、低消費電力化には不可欠であり、このような低抵抗化プロセスによるLSIに特に適しているSOIデバイスのESD保護耐性強化における回路的手法として、本発明は安価で有効な手段となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態の半導体保護回路の回路図である。

【図2】 FD-SOIデバイスのNMOSTランジスタの基板バイアス効果を示す特性図である。

【図3】 FD-SOIデバイスのNMOSTランジスタの基板バイアスによるスナップバック特性の違いを示す特性図である。

【図4】 本発明の第2の実施形態の半導体保護回路の回路図である。

【図5】 LVCMOS入力回路についてシリコン基板に直接ESD電圧を印加する構成を示す回路図である。

【図6】 図5の構成において、基板バイアスが無くサリサイド制限が無いとき、基板バイアスが無くサリサイド制限があるとき、基板バイアスがありサリサイド制限が無いときの、各場合のHBM-ESD耐量特性の実験結果を示す特性図である。

【図7】 従来のESD保護回路の回路図である。

【図8】 NMOSTランジスタのスナップバック特性図である。

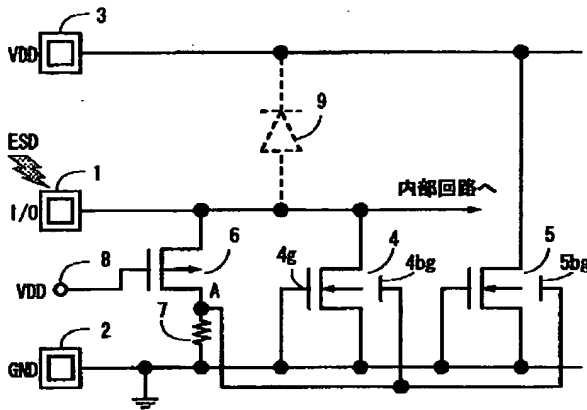
【図9】 サリサイドプロセスにおけるSOI-NMOSトランジスタの断面図である。

【符号の説明】

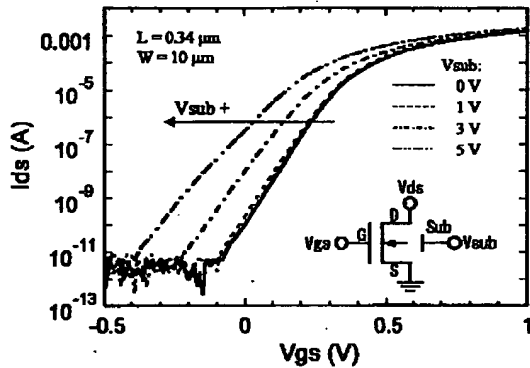
1：入出力端子、2：接地端子、3：電源端子、4、5：NMOSTランジスタ、6：PMOSTランジスタ、7、7'：抵抗、8：電源端子、9：ダイオード、10：NMOSTランジスタ、11：入出力端子、12：PMOSTランジスタ、1

2：NMOSTランジスタ、14、15：ダイオード、16：抵抗、17：LVC MOS入力回路、18：電源線間保護回路、19：シリコン基板、21：ゲート、22：ソース、23：ドレイン、24：ボディ、25：シリサイド層、26：埋込酸化膜、27：ゲート酸化膜、28：シリコン基板、29：ゲート側壁酸化膜、30：サリサイド制限マスク、31：サリサイド制限幅

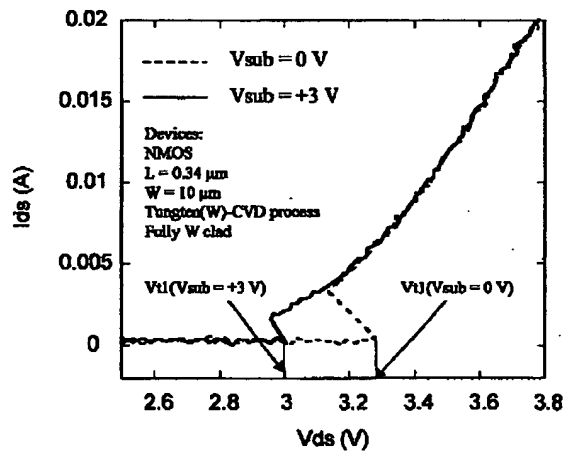
【図1】



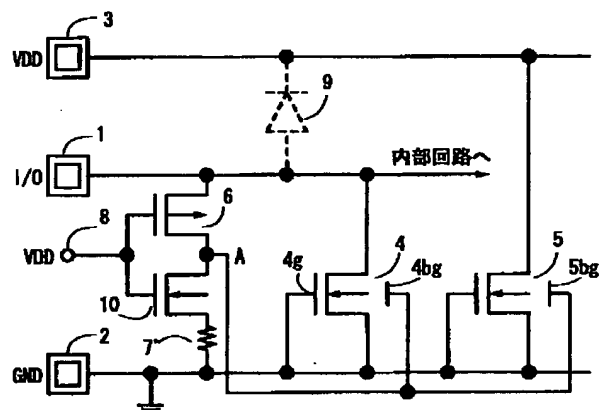
【図2】



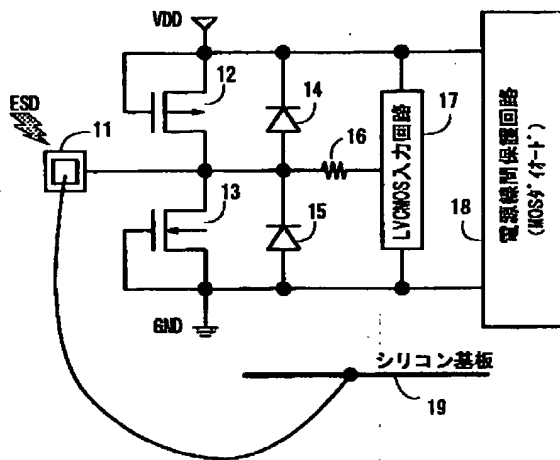
【図3】



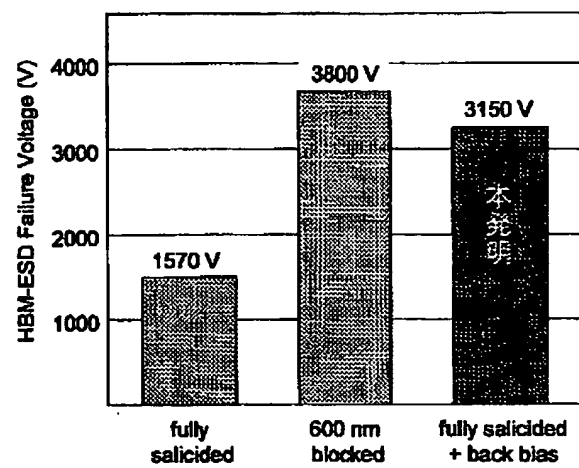
【図4】



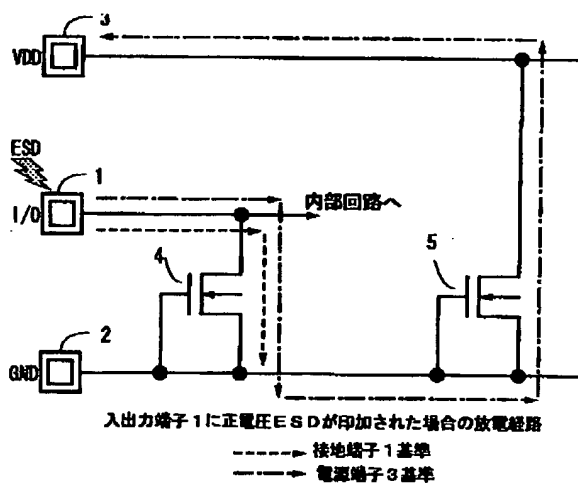
【図5】



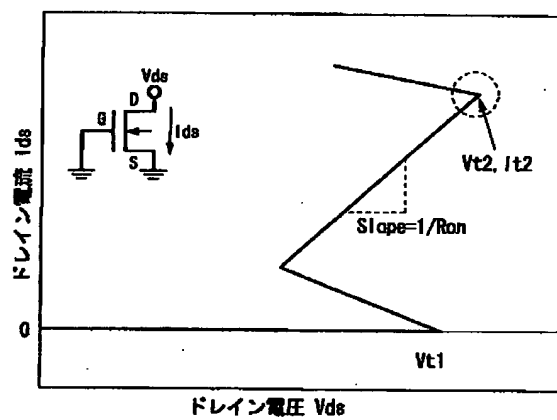
【図6】



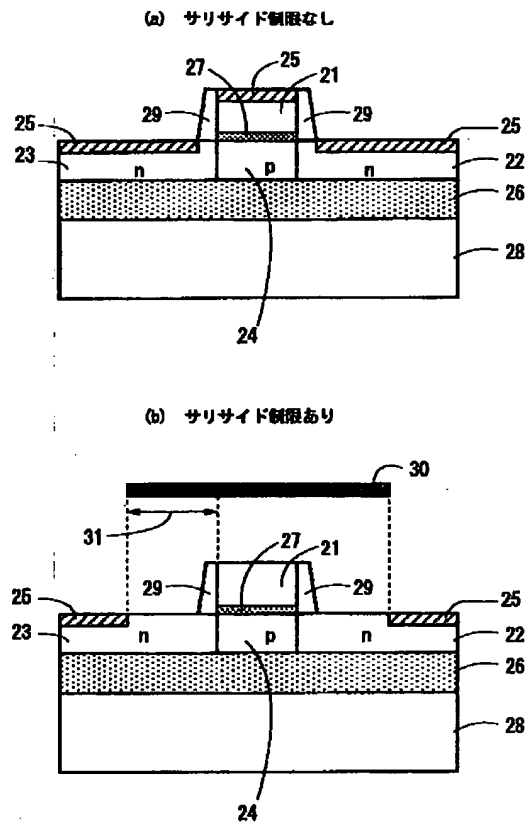
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5F038 BG09 BH02 BH04 BH07 BH13
 CD02 EZ06 EZ20
 5F110 AA22 BB04 CC02 DD05 DD13
 EE30 EE31 GG02 GG12 HK05